

20 114

JA 012406
MAY 1997

(54) SEMICONDUCTOR DEVICE

(11) 63-104343 (A) (43) 9.5.1988 (19) JP

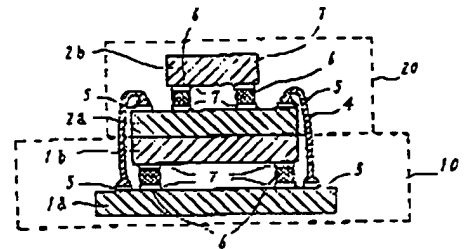
(21) Appl. No. 61-250974 (22) 21.10.1986

(71) MITSUBISHI ELECTRIC CORP (72) HIROSHI KURANAGA(1)

(51) Int. Cl. H01L21/60

PURPOSE: To highly integrate a semiconductor device thereby to eliminate a protecting layer which is needed in a conventional device by opposing two or more chips on circuit surfaces, electrically connecting them with bumps, and stacking secured superposed chips.

CONSTITUTION: A chip 1a having a circuit section on the upper surface and a chip 1b having a circuit section on the lower surface are opposed. A chip 2a having a circuit section on the upper surface and a chip 2b having a circuit section on the lower surface are opposed. Electrodes are connected to each other. The stacked chips of lower stage are connected by wirings 4 to the stacked chips of upper stage. Thus, it is highly integrated to eliminate a protecting layer which is needed in a conventional device.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-104343

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月9日

H 01 L 21/60

6918-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-250974

⑰ 出 願 昭61(1986)10月21日

⑱ 発 明 者 蔵 永 寛 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑲ 発 明 者 中 林 竹 雄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
 ⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ㉑ 代 理 人 弁理士 大岩 増雄 外2名

PTO 98-4467

S.T.I.C. Translations Branch

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) いずれも、接合形成手段により素子を形成された互の活性面を向い合せて結合された2枚以上のチップからなり、それぞれの前記チップの前記活性面の反対側の面同士で接合して、積み上げられている複数の重ね合せチップと

前記重ね合せチップ間を結合するワイヤとを備えた半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路チップを積み上げ、高機能化、高集積化をはかつた半導体装置に関するものである。

〔従来の技術〕

第2図、第3図は、従来の半導体装置を示す平面図及びそのⅢ-Ⅲ断面図であり、図において(1)は第一層目の集積回路チップ、(2)は第二層目の集

積回路チップ、(3)は(1)の回路部分を保護し、(1)と(2)を固定する層、(4)は(1)と(2)の回路を電気的に接続するワイヤーであり、(5)はワイヤーボンディング用パッドである。

従来の半導体装置は上記のように構成され、上記の要領で、何層にも重ね合せ回路の集積度を上げ、また高機能化をはかることができる。

〔発明が解決しようとする問題点〕

上記のような従来の半導体装置では、積み上げる二つのチップの間にチップ同士の固定し、下のチップの回路部分を保護するための層(3)を、非導電性で、熱などの要因による変形がきわめて小さい物質で作る必要があり、また、上下のチップを電気的に接続するためには、チップの周辺に設けたパッド(5)をワイヤーボンディングで結ぶしかなく回路の設計にあつての制約が多いという問題点があつた。

この発明はかかる問題点を解決するためになされたもので、前記保護層を必要とせず、また、積み重ねられたチップ間の信号のやりとりをワイヤ

特開昭63-104343(2)

ーボンディング以外の方法で行える半導体装置を得ることを目的とする。

【問題点を解決するための手段】

この発明に係る半導体装置は、二枚以上のチップを回路面を向い合せ、回路面上に作られた電極同志を接続することによつて電気的に接続し、固定した重ね合せチップ、前記重ね合せチップを積み上げ、ワイヤーボンディングにより電気的に接続したものである。

【作用】

この発明においては、前記重ね合せチップ内のチップ間では、任意の場所に設けられた電極をにより固定し、また、電気信号のやりとりを行い、他の前記重ね合せチップとは、チップの裏面同志をはり合せ、固定し、ワイヤーボンディングにより、電気信号のやりとりをおこなっている。

【実施例】

第1図はこの発明の一実施例を示す断面図であり、前記重ね合せチップを2つ積み重ねたものである。(1c)、(2a)はともに、その上面に回路部分

実施例の断面図を示す。

また、前記重ね合せチップを構成するチップは、同一のプロセスを用いて作る必要がないため、多種類のプロセスで作られたチップを組み合せ、構成することによつて高集積化をはかることができる別の効果もある。

上記実施例では、パンプ(6)を用いる場合であつたが、チップ(1a)、(1b)のいずれかチップ(2a)(2b)のいずれかのパンプ(7)上に成長した金などの厚いメッキ層を用いてもよい。

なお上記で説明を省略したがチップ(1b)(2a)間の接続方法としては通常のダイボンディング時の方法を採用した。

【発明の効果】

この発明は以上説明したとおり、二枚以上のチップを回路面を向い合せ、パンプ等を用いて電気的に接続し、固定した重ね合せチップを積み上げることにより、高集積化をはかり、従来装置に必要だつた保護層をなくす効果がある。

4. 図面の簡単な説明

をもつチップ、(1b)、(2b)はともに、その下面に回路部分をもつチップ、(6)は前記重ね合せチップ内で電気的接続をとり、チップを固定する機械結合手段で本実施例ではパンプを用いており、(7)はこのパンプ用パンプを示し、(10)は、下段の重ね合せチップ、(20)は上段の重ね合せチップを示しており、(10)と(20)は、ワイヤー(4)により電気的に接続され、ダイボンディングと同様の技術でチップの裏面同志をはり合せ固定されている。そのため従来の装置には必要だつた保護層を必要としない。

前記重ね合せチップを構成するチップ間は、パンプにより電気的に接続されているので、従来の半導体装置に比べ設計がより容易になつている。

なお、上記実施例では、前記重ね合せチップを2枚重ねたものを示したが、3段以上積み重ねることによつてより高い集積度を得ることが可能である。

また、前記重ね合せチップは3枚以上のチップを用いて構成することができ、第4図に、前記重ね合せチップを3枚のチップで構成した場合の一

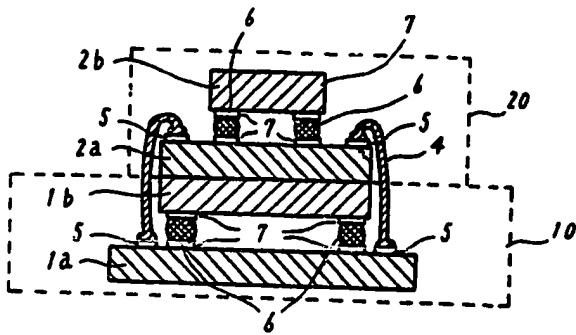
第1図、第4図は、この発明の一実施例を示す断面図、第2図、第3図はそれぞれ、従来の半導体装置を示す平面図、断面図である。

図において、(1a)(1b)(2a)(2b)は集積回路チップ、(4)はワイヤー、(6)は機械結合手段、(10)(20)はともに重ね合せチップである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 規 雄

第1図



1a, 1b, 2a, 2b : ナップ

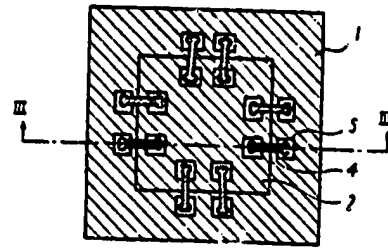
4 : ワ이어

6 : 機電結合手段

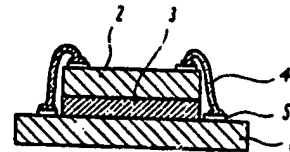
10 : 下段重ね合せナップ

20 : 上段重ね合せナップ

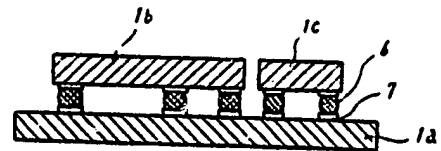
第2図



第3図



第4図



手続補正書(自発)

昭和62年1月19日

特許庁長官殿



1. 事件の表示 特願昭61-250974号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601)三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375)弁護士 大岩増雄
(通称先03(213)3421特許部)

5. 補正の対象

(1) 明細書の発明の詳細な説明の項

(2) 図面

6. 補正の内容

(1) 明細書をつぎのとおり訂正する。

ページ	行	訂正前	訂正後
3	12	電極を1c	電極に

特開昭63-104343(4)

② 図面の第1図を別紙のとおり訂正する。

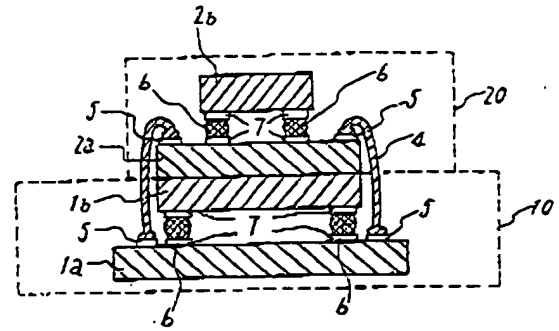
7. 添付書類の目録

(1) 図面 (第1図)

1通

以上

第1図



1a, 1b, 2a, 2b : チップ

4 : ワイヤ

6 : 電気結合手段

10 : 下段重ねセッパ

20 : 上段重ねセッパ

PTO 98-4467

CY=JP DATE=19880509 KIND=A
PN=63104343

SEMICONDUCTOR DEVICE
[Handotai sochi]

Hiroshi Kuranaga et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. September 1998

Translated by: Diplomatic Language Services, Inc.

PUBLICATION COUNTRY (19) : JP
DOCUMENT NUMBER (11) : 63104343
DOCUMENT KIND (12) : A
(13) :
PUBLICATION DATE (43) : 19880509
PUBLICATION DATE (45) :
APPLICATION NUMBER (21) : 61250974
APPLICATION DATE (22) : 19861021
ADDITION TO (61) :
INTERNATIONAL CLASSIFICATION (51) : H01L 21/60
DOMESTIC CLASSIFICATION (52) :
PRIORITY COUNTRY (33) :
PRIORITY NUMBER (31) :
PRIORITY DATE (32) :
INVENTOR (72) : KURANAGA, HIROSHI; NAKABAYASHI,
TAKEO
APPLICANT (71) : MITSUBISHI ELECTRIC CORPORATION
TITLE (54) : SEMICONDUCTOR DEVICE
FOREIGN TITLE [54A] : HANDOTAI SOCHI

Specification

1. Title of the Invention

Semiconductor device

2. Claim

(1) A semiconductor device that has

several laminated chips each of which is comprised of two or more chips bonded to each other such that active surfaces on which elements are formed by an electromechanical bonding means face each other and that are laminated by adhering together the opposite surfaces to the above-mentioned active surface of each of the above-mentioned chips, and wires that bond between the above-mentioned laminated chips.

3. Detailed Explanation of the Invention

(Industrial Field of Application)

This invention pertains to a semiconductor device that laminates several semiconductor integrated circuit chips and is designed to achieve high performance and high integration.

(Prior Art)

Figure 2 is a plan that shows a semiconductor device by prior art, and Figure 3 is a section taken at line III-III in this plan. In the figures, (1) is a first integrated circuit chip, (2) is a second integrated circuit chip, (3) is a layer that protects the circuit part of (1) and fixes (1) to (2), (4) represents wires that form electrical contacts between the circuits of (1) and (2), and (5) represents wire

bonding pads.

Semiconductor devices by prior art are constructed as described above, and by the elements described above, are able to laminate any number of layers, increase the degree of integration, and be designed to achieve high integration.

(Problems that the Invention is to Solve)

Semiconductor devices by prior art such as described above have the problem that they have many restrictions in terms of circuit design. Namely, layer (3) for fixing the two laminated chips to each other and protecting the circuit part of the lower chip must be made of a substance that is nonconducting and has extremely little deformation due to causes such as heat. In addition, the only way to electrically connect the upper and lower chips is to connect pads (5) installed on the edge of the chips by wire bonding.

This invention was designed to solve such problems. The purpose of this invention is to offer a semiconductor device that does not require a protective layer, and in addition, can exchange signals between laminated chips by a method other than wire bonding.

(Means of Solving the Problems)

The semiconductor device with which this invention is concerned has laminated chips fixed to each other in which the circuit surfaces of two or more chips face each other and that are electrically connected by connecting electrodes created on these circuit surfaces, and the above-mentioned laminated chips are laminated and connected electrically by wire bonding.

(Operation)

In this invention, chips within the above-mentioned laminated chips are fixed to each other and signals exchanged between them by electrodes created at any desired location, the reverse surfaces of the chips are pasted and fixed to other above-mentioned laminated chips, and electrical signals are exchanged by wire bonding.

(Working Examples)

Figure 1 is a section that shows one working example of this invention in which the above-mentioned laminated chips are two laminated chips. (1a) and (2a) are both chips that have a circuit part on their upper surface, and (1b) and (2b) are both chips that have a circuit part on their lower surface. (6) is an electromechanical bonding means that forms an electrical connection between the above-mentioned laminated chips and fixes these chips, and in this working example, use bumps. (7) indicates pads used for these bumps. (10) indicates the lower laminated chip and (20) indicates the upper laminated chip. (10) and (20) are electrically connected by wires (4), and are fixed to each other by pasting together the reverse surfaces of the chips by a technique similar to die bonding. As a result, protective layer (3) required in devices by prior art is not required.

Because the individual chips that comprise the above-mentioned laminated chips are electrically connected by bumps, design of these is simplified compared to semiconductor devices by prior art.

Moreover, in the working example described above, two stages of above-mentioned laminated chips were laminated, but higher integration can be achieved by laminating three or more stages.

In addition, the above-mentioned laminated chips also can be constructed using three or more chips. Figure 4 shows a section of a working example constructed by using three above-mentioned laminated chips.

In addition, because the chips that comprise the above-mentioned laminated chips need not be fabricated by the same process, chips fabricated by multiple processes can be combined. By constructing a device in this way, this has the further effect that higher integration can be achieved.

In the working example described above, a case using bumps (6) was explained, but it is also possible to use a thick plated layer such as metal stretched over pads (7) on either chip (1a) or (1b) and either chip (2a) or (2b).

Moreover, although omitted from the explanation given above, as the method for connecting between chips (1b) and (2a), a method such as standard die bonding was employed.

(Effects of the Invention)

As explained above, by laminating laminated chips in which the circuit surfaces of two or more chips face each other and that are electrically connected using bumps or the like and fixed to each other, this invention has the effect that it is designed to achieve high integration and eliminates the protective layer required in devices by prior art.

4. Brief Explanation of the Figures

Figure 1 and Figure 4 are each a section that shows one working example of this invention. Figure 2 is a plan and Figure 3 is a section that show a semiconductor device by prior art.

In the figures, (1a), (1b), (2a), and (2b) are integrated circuit chips, (4) represents wires, (6) is an electromechanical bonding means, and both (10) and (20) are laminated chips.

Moreover, in the figures, the same part numbers indicate the same or corresponding parts.

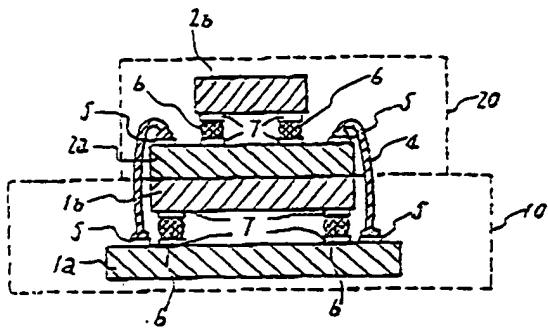


Figure 1
 1a, 1b, 2a, 2b: chips
 4: wire
 6: electromechanical bonding means
 10: lower laminated chip
 20: upper laminated chip

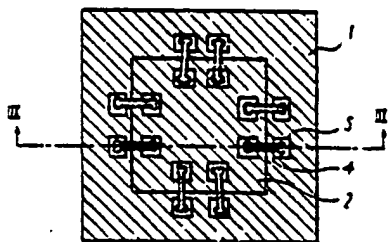


Figure 2

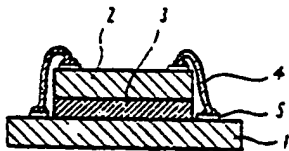


Figure 3

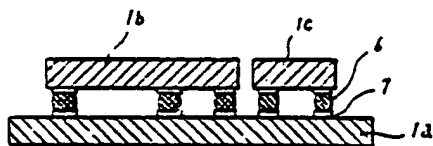


Figure 4